

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

HIGH VOLTAGE RESISTANT POWER INTEGRATED CIRCUIT

Patent Number: JP11205112
 Publication date: 1999-07-30
 Inventor(s): KOTARI YASUHIRO
 Applicant(s):: TOSHIBA MICROELECTRONICS CORP; TOSHIBA CORP
 Requested Patent: JP11205112
 Application Number: JP19980008602 19980120
 Priority Number(s):
 IPC Classification: H03K17/687 ; H01L21/8234 ; H01L27/088 ; H01L29/78 ; H03K19/0175
 EC Classification:
 Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent the start of a high side output from being disabled by providing an N channel MOS transistor, which drives its gate with the same phase as a second output switch element based on a second driving control signal while connecting its drain and its source in parallel, between the collector and emitter of the second output switch element.

SOLUTION: The drain and source are connected in parallel between the collector and emitter of a low side output IGBT 20. Then, the gate is driven with the same phase as the low side output IGBT 20 based on second IGBT driving control signal LIN, and an N channel MOS transistor 21 having the same high voltage resistance as the low side output IGBT 20 and an MOS transistor driving circuit 22 for driving the gate of the N channel MOS transistor 21 corresponding to the second IGBT driving control signal LIN are provided. Thus, the component of a loss lowering the charging voltage of a capacitor for both trap at the time of starting a high voltage resistant power integrated circuit rather than a power supply voltage VCC of a control system can be reduced.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-205112

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 3 K	17/687	H 0 3 K	17/687 F
H 0 1 L	21/8234	H 0 1 L	27/08 1 0 2 F
	27/088		29/78 6 5 7 G
	29/78	H 0 3 K	19/00 1 0 1 F
H 0 3 K	19/0175		

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平10-8602
 (22) 出願日 平成10年(1998) 1月20日

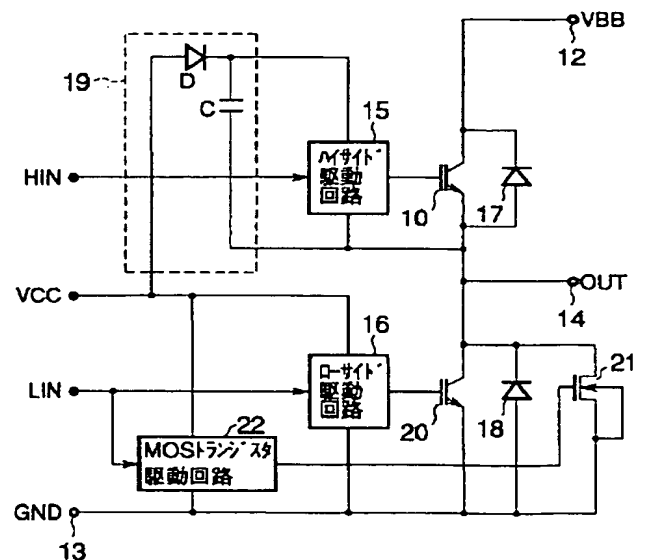
(71) 出願人 000221199
 東芝マイクロエレクトロニクス株式会社
 神奈川県川崎市川崎区駅前本町25番地 1
 (71) 出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (72) 発明者 小足 泰寛
 神奈川県川崎市川崎区駅前本町25番地 1
 東芝マイクロエレクトロニクス株式会社内
 (74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 高耐圧パワー集積回路

(57) 【要約】

【課題】 高耐圧パワー I C において、ハイサイド出力 I G B T の起動動作が不安定になったり、起動不能になることを防止する。

【解決手段】 電流吸込み用の出力スイッチ素子のコレクタ・エミッタ間に並列接続された回生電流吸収用素子と、電流吸込み用の出力スイッチ素子のコレクタ・エミッタ間にドレイン・ソース間が並列接続され、ゲートが駆動制御信号入力に基づいて出力スイッチ素子と同相で駆動され、出力スイッチ素子と同等の高耐圧を有する高耐圧用の N チャンネル MOS トランジスタとを具備する。



【特許請求の範囲】

【請求項1】 高電源が印加される高電源端子と、集積回路外部の負荷が接続される中点端子と、前記高電源端子と前記中点端子との間に接続された絶縁ゲート型トランジスタを有する電流吐出し用の第1の出力スイッチ素子と、

前記第1の出力スイッチ素子を駆動制御するための第1の駆動制御信号入力をレベルシフトし、このレベルシフトされた第1の駆動制御信号に応じて上記第1の出力スイッチ素子の制御電極に駆動信号を供給する第1の駆動回路と、

制御回路用電源ノードと前記中点端子との間に直列に接続されたブートストラップ用のダイオードおよびコンデンサを有し、前記コンデンサの両端間電圧を前記第1の駆動回路の動作電源として供給する昇圧回路と、

前記中点端子と接地端子との間に接続された絶縁ゲート型トランジスタを有する電流吸込み用の第2の出力スイッチ素子と、

前記第2の出力スイッチ素子を駆動制御するための第2の駆動制御信号入力に応じて上記第2の出力スイッチ素子の制御電極に駆動信号を供給する第2の駆動回路と、前記第1の出力スイッチ素子のコレクタ・エミッタ間に並列接続された第1の回生電流吸収用素子と、

前記第2の出力スイッチ素子のコレクタ・エミッタ間に並列接続された第2の回生電流吸収用素子と、

前記第2の出力スイッチ素子のコレクタ・エミッタ間にドレイン・ソース間が並列接続され、ゲートが前記第2の駆動制御信号入力に基づいて前記第2の出力スイッチ素子と同相で駆動され、前記第2の出力スイッチ素子と同等の高耐圧を有する高耐圧用のNチャンネルMOSトランジスタとを具備することを特徴とする高耐圧パワー集積回路。

【請求項2】 請求項1記載の高耐圧パワー集積回路において、

前記高耐圧パワー集積回路の起動時には、高耐圧用のNチャンネルMOSトランジスタは前記第2の出力スイッチ素子より所定時間遅れてオン状態に駆動されることを特徴とする高耐圧パワー集積回路。

【請求項3】 請求項1または2記載の高耐圧パワー集積回路において、

前記高耐圧用のNチャンネルMOSトランジスタのソースと接地端子との間に挿入され、ゲートが前記第2の駆動制御信号入力に基づいて前記第2の出力スイッチ素子と同相で駆動され、前記高耐圧用のNチャンネルMOSトランジスタより低い耐圧を有する低耐圧用のNチャンネルMOSトランジスタをさらに具備することを特徴とする高耐圧パワー集積回路。

【請求項4】 請求項3記載の高耐圧パワー集積回路において、

前記高耐圧パワー集積回路の起動時には、低耐圧用のN

チャンネルMOSトランジスタは前記第2の出力スイッチ素子より所定時間遅れてオン状態に駆動されることを特徴とする高耐圧パワー集積回路。

【請求項5】 請求項4記載の高耐圧パワー集積回路において、

前記低耐圧用のNチャンネルMOSトランジスタは前記高耐圧用のNチャンネルMOSトランジスタと同じタイミングで駆動されることを特徴とする高耐圧パワー集積回路。

【請求項6】 請求項2または5記載の高耐圧パワー集積回路において、

前記所定時間は、少なくとも前記第2の出力スイッチ素子がオフ状態からオン状態になる時間に相当する時間であることを特徴とする高耐圧パワー集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高耐圧高電力のスイッチ出力を必要とする高耐圧パワー集積回路に係り、特に電流吐出し用および電流吸込み用の2個の出力スイッチ素子としてIGBT（絶縁ゲート型バイポーラトランジスタ）を有する高耐圧パワー集積回路における起動回路に関するものであり、例えば家電用、自動車用、産業用などのIGBTに使用される。

【0002】

【従来の技術】電流吐出し用および電流吸込み用の2個の出力スイッチ素子およびその制御用の半導体素子群が同一半導体チップ上にモノリシックに集積化されたインテリジェント型の高耐圧パワー集積回路において、出力スイッチ素子として、パワーMOSトランジスタあるいはNチャンネル型のIGBT（絶縁ゲート型バイポーラトランジスタ）が用いられている。

【0003】前記パワーMOSトランジスタのドレイン電流 I_D 対ドレイン・ソース間電圧 V_{DS} 特性は、例えば図5に示すようにドレイン電流が飽和した状態におけるドレイン・ソース間オン電圧 V_{DS} はほぼ0Vである。

【0004】これに対して、IGBTのコレクタ電流 I_C 対コレクタ・エミッタ間電圧 V_{CE} 特性は、例えば図6に示すように、コレクタ・エミッタ間電圧 V_{CE} が飽和電圧 V_{CEsat} に達するまではコレクタ電流 I_C が飽和しない。

【0005】図7は、出力スイッチ素子としてNチャンネル型のIGBTを有する従来の高耐圧パワー集積回路の出力駆動回路の一例を示している。図7に示す出力駆動回路は、集積回路外部の高電源から高電源電圧 V_{BB} （例えば300V～500V）が印加される高電源端子12と接地電位GNDが印加される接地端子13との間に電流吐出し側のハイサイド出力スイッチ素子10および電流吸込み側のローサイド出力スイッチ素子20がトータムポール接続され、両者の接続点に中点端子14が接続されている。

【0006】即ち、高電源端子12と中点端子14との間にハイサイド出力スイッチ素子10が接続されており、中点端子14と接地端子13との間にローサイド出力スイッチ素子20が接続されている。

【0007】そして、上記ハイサイド出力スイッチ素子10およびローサイド出力スイッチ素子20を駆動するためのハイサイド駆動回路15およびローサイド駆動回路16が設けられている。

【0008】上記出力スイッチ素子10、20は、例えば三相モータ駆動回路の一部をなし、中点端子14に接続されている外部負荷（図示せず）に駆動電流を供給するものであり、Nチャネル型のIGBTが用いられている。

【0009】即ち、ハイサイドIGBT10は、コレクタが高電源端子12に接続され、エミッタ（電流出力端子）は前記中点端子（外部負荷接続端子）14に接続されている。また、ローサイドIGBT20は、コレクタが中点端子14に接続され、エミッタは接地端子13に接続されている。

【0010】なお、前記出力スイッチ素子10、20には、外部負荷（図示せず）が大きなインダクタンスを有する場合に生じる逆起電力に起因して流れる回生電流を吸収するためのダイオード17、18が対応して並列に接続されている。

【0011】前記ハイサイド駆動回路15は、第1のIGBT駆動制御信号入力HINに応じてハイサイド出力IGBT10のゲート容量に対する充電電流の供給出力をオン/オフ制御することによりハイサイド出力IGBT10のゲート電位を制御するものである。

【0012】この場合、上記ハイサイド駆動回路15は、制御回路系の電源電圧VCCを昇圧回路19により昇圧した昇圧電圧が動作電源として供給されることにより駆動制御信号入力HINをレベルシフトするものであり、ハイサイド出力IGBT10をオン駆動する時にはハイサイド出力IGBT10のゲートに上記昇圧電圧を供給するものである。

【0013】前記昇圧回路19は、集積回路の制御回路系の電源電圧VCCが印加されるノードと前記中点端子14との間にブートストラップ用のダイオードDおよびコンデンサCが直列に接続されており、このコンデンサCの両端間電圧を前記ハイサイド駆動回路15の動作電源として供給する。

$$VBS = VCC - VF - VCEsat$$

となる。

【0021】制御回路系の電源電圧VCCが低下した場合（あるいは、電源電圧VCCとして低電圧が用いられる場合）、上式（1）で示されるブートストラップ用のコンデンサCの充電電圧VBSは、VCCよりも $VF + VCEsat$ の損失分だけ低くなる。

【0022】これにより、ハイサイド駆動回路15がハ

【0014】この昇圧回路19は、前記ローサイド出力IGBT20がオン状態の時にコンデンサCが充電され、ローサイド出力IGBT20がオフ状態でハイサイド出力IGBT10がオン状態になった時に中点端子14の電位が上昇し、それに応じて前記ダイオードDのカソード（コンデンサCとの接続ノード、昇圧出力ノード）の電位が上昇する。

【0015】前記ローサイド駆動回路16は、第2のIGBT駆動制御信号入力LINに応じてローサイド出力IGBT20のゲート容量に対する充電電流の供給出力をオン/オフ制御することによりローサイド出力IGBT20のゲート電位を制御するものである。

【0016】上記ローサイド駆動回路16は、前記電源電圧VCCが動作電源として供給され、ローサイド出力IGBT20をオン駆動する際に上記電源電圧VCCに等しい駆動電圧を前記ローサイド出力IGBT20のゲートに供給するものである。

【0017】上記高耐圧パワー集積回路の通常動作時において、前記ハイサイド出力IGBT10がオン状態でローサイド出力IGBT20がオフ状態の期間は、ハイサイド出力IGBT10から中点端子14に流出する電流が外部負荷を駆動し、中点端子14の電圧（出力電圧OUT）はほぼ高電源電圧VBBである。

【0018】これに対して、前記ローサイド出力IGBT20がオン状態でハイサイド出力IGBT10がオフ状態の期間は、外部負荷側から中点端子14に電流が流入し、中点端子14の電圧（出力電圧OUT）はほぼ $VCEsat$ （IGBT10のコレクタ・エミッタ間飽和電圧）である。

【0019】ところで、図7に示したように、出力スイッチ素子としてNチャネル型のIGBTを有する従来の高耐圧パワー集積回路においては、図6に示したIGBTのコレクタ電流 I_C 対コレクタ・エミッタ間電圧VCE特性のように、コレクタ・エミッタ間電圧VCEが飽和電圧 $VCEsat$ に達するまではコレクタ電流 I_C が飽和しないので、以下に述べるような問題が生じる。

【0020】高耐圧パワー集積回路の起動時に昇圧回路19のブートストラップ用のコンデンサCに充電される電圧VBSは、制御回路系の電源電圧をVCC、昇圧回路19のブートストラップ用のダイオードDの順方向電圧降下をVF、IGBT20のコレクタ・エミッタ間飽和電圧を $VCEsat$ で表わすと、

$$\dots (1)$$

イサイド出力IGBT10をオン駆動する時にハイサイド出力IGBT10のゲートを駆動する電圧レベルが低下し、ハイサイド出力IGBT10の起動動作が不安定になったり、最悪の場合には起動不能になる。

【0023】

【発明が解決しようとする課題】上記したように出力スイッチ素子としてNチャネル型のIGBTを有する従来

の高耐圧パワー集積回路における出力駆動回路は、制御回路系の電源電圧VCCが低下した場合に、高耐圧パワー集積回路の起動時におけるブートストラップ用のコンデンサの充電電圧VBSがVCCよりも低下する損失分に起因して、ハイサイド出力IGBTの起動動作が不安定になったり、最悪の場合には起動不能になるという問題があった。

【0024】本発明は上記の問題点を解決すべくなされたもので、起動時におけるブートストラップ用のコンデンサの充電電圧VBSが制御回路系の電源電圧VCCよりも低下する損失分を低減でき、VCCが低下した場合でもブートストラップ用のコンデンサの充電電圧VBSがVCCよりも低下する損失分に起因するハイサイド出力IGBTの起動動作が不安定になったり、起動不能になることを防止し得る高耐圧パワー集積回路を提供することを目的とする。

【0025】

【課題を解決するための手段】本発明の高耐圧パワー集積回路は、高電源が印加される高電源端子と、集積回路外部の負荷が接続される中点端子と、前記高電源端子と前記中点端子との間に接続された絶縁ゲート型トランジスタを有する電流吐出し用の第1の出力スイッチ素子と、前記第1の出力スイッチ素子を駆動制御するための第1の駆動制御信号入力をレベルシフトし、このレベルシフトされた第1の駆動制御信号に応じて上記第1の出力スイッチ素子の制御電極に駆動信号を供給する第1の駆動回路と、制御回路用電源ノードと前記中点端子との間に直列に接続されたブートストラップ用のダイオードおよびコンデンサを有し、前記コンデンサの両端間電圧を前記第1の駆動回路の動作電源として供給する昇圧回路と、前記中点端子と接地端子との間に接続された絶縁ゲート型トランジスタを有する電流吸込み用の第2の出力スイッチ素子と、前記第2の出力スイッチ素子を駆動制御するための第2の駆動制御信号入力に応じて上記第2の出力スイッチ素子の制御電極に駆動信号を供給する第2の駆動回路と、前記第1の出力スイッチ素子のコレクタ・エミッタ間に並列接続された第1の回生電流吸収用素子と、前記第2の出力スイッチ素子のコレクタ・エミッタ間に並列接続された第2の回生電流吸収用素子と、前記第2の出力スイッチ素子のコレクタ・エミッタ間にドレイン・ソース間が並列接続され、ゲートが前記第2の駆動制御信号入力に基づいて前記第2の出力スイッチ素子と同相で駆動され、前記第2の出力スイッチ素子と同等の高耐圧を有する高耐圧用のNチャネルMOSトランジスタとを具備することを特徴とする。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係る高耐圧パワー集積回路の一部（出力駆動回路）のブロック構成および集積回路外部との接続関係

を示している。

【0027】<第1実施例>図1に示す出力駆動回路は、図7を参照して前述した従来例の高耐圧パワー集積回路の出力駆動回路と比べて、(1)ローサイド出力IGBT20のコレクタ・エミッタ間にドレイン・ソース間が並列接続され、ゲートが前記第2のIGBT駆動制御信号入力LINに基づいて前記ローサイド出力IGBT20と同相で駆動され、ローサイド出力IGBT20と同等の高耐圧を有する高耐圧用のNチャネルMOSトランジスタ21と、(2)前記第2のIGBT駆動制御信号入力LINに応じて前記NチャネルMOSトランジスタ21のゲートを駆動するMOSトランジスタ駆動回路22が付加されている点が異なり、その他は同じであるので図7中と同一符号を付している。

【0028】図1に示す高耐圧パワー集積回路の出力駆動回路は、集積回路外部の高電源から高電源電圧VBB（例えば300V～500V）が印加される高電源端子12と接地電位GNDが印加される接地端子13との間に電流吐出し側のハイサイド出力スイッチ素子10および電流吸込み側のローサイド出力スイッチ素子20がトーマポール接続され、両者の接続点に中点端子（外部負荷接続端子）14が接続されている。

【0029】即ち、高電源端子12と中点端子14との間にハイサイド出力スイッチ素子10が接続されており、中点端子14と接地端子13との間にローサイド出力スイッチ素子20が接続されている。

【0030】そして、上記ハイサイド出力スイッチ素子10およびローサイド出力スイッチ素子20を駆動するためのハイサイド駆動回路15およびローサイド駆動回路16が設けられている。

【0031】上記出力スイッチ素子10、20は、例えば三相モータ駆動回路の一部をなし、中点端子14に接続されている外部負荷（図示せず）に駆動電流を供給するものであり、Nチャネル型のIGBTが用いられている。

【0032】即ち、ハイサイドIGBT10は、コレクタが高電源端子12に接続され、エミッタ（電流出力端子）は前記中点端子14に接続されている。また、ローサイドIGBT20は、コレクタが中点端子14に接続され、エミッタは接地端子13に接続されている。

【0033】なお、前記出力スイッチ素子10、20には、外部負荷（図示せず）が大きなインダクタンスを有する場合に生じる逆起電力に起因して流れる回生電流を吸収するためのダイオード17、18が対応して並列に接続されている。

【0034】前記ハイサイド駆動回路15は、第1のIGBT駆動制御信号入力HINに応じてハイサイド出力IGBT10のゲート容量に対する充電電流の供給出力をオン/オフ制御することによりハイサイド出力IGBT10のゲート電位を制御するものである。

【0035】この場合、上記ハイサイド駆動回路15は、制御回路系の電源電圧VCCを昇圧回路19により昇圧した昇圧電圧が動作電源として供給されることにより駆動制御信号入力HINをレベルシフトするものであり、ハイサイド出力IGBT10をオン駆動する時にはハイサイド出力IGBT10のゲートに上記昇圧電圧を供給するものである。

【0036】前記昇圧回路19は、集積回路の制御回路系の電源電圧VCCが印加されるノードと前記中点端子14との間にブートストラップ用のダイオードDおよびコンデンサCが直列に接続されてなり、このコンデンサCの両端間電圧を前記ハイサイド駆動回路15の動作電源として供給する。

【0037】この昇圧回路19は、前記ローサイド出力IGBT20がオン状態の時にコンデンサCが充電され、ローサイド出力IGBT20がオフ状態でハイサイド出力IGBT10がオン状態になった時に中点端子14の電位が上昇し、それに従って前記ダイオードDのカソード（コンデンサCとの接続ノード、昇圧出力ノード）の電位が上昇する。

【0038】前記ローサイド駆動回路16は、第2のIGBT駆動制御信号入力LINに応じてローサイド出力IGBT20のゲート容量に対する充電電流の供給出力をオン/オフ制御することによりローサイド出力IGBT20のゲート電位を制御するものである。

【0039】上記ローサイド駆動回路16は、前記電源電圧VCCが動作電源として供給され、ローサイド出力IGBT20をオン駆動する際に上記電源電圧VCCに等しい駆動電圧を前記ローサイド出力IGBT20のゲートに供給するものである。

【0040】さらに、本実施例では、ローサイド出力IGBT20のコレクタ・エミッタ間に並列に高耐圧用のNチャネルMOSトランジスタ21のドレイン・ソース

$$VBS = VCC - VF - VDSon$$

となり、起動時の充電電圧VBSは、VCCよりもVF + VDSonの損失分だけ低くなる。

【0045】即ち、高耐圧パワー集積回路の起動時に昇圧回路19のブートストラップ用のコンデンサCに充電される電圧VBSは、上式(2)で示されるような本実施例と前式(1)で示されるような従来例と比較すると、 $VDSon < VCEsat$

であるので、本実施例の方が従来例よりも $VCEsat - VDSon$ の分だけ高くなる。

【0046】なお、上記VDSonは抵抗性であり、殆んど零であるので、前式(2)のVBSは最終的に $VCC - VF$ になり、コンデンサCに充電電圧VBSは、本実施例の方が従来例よりもVCEsatだけ高くなる。

【0047】これにより、本実施例によれば、高耐圧パワー集積回路の起動時におけるブートストラップ用のコンデンサの充電電圧VBSがVCCよりも低下する損失分を

間が接続されている。このMOSトランジスタ21は、基板領域・ソース相互が接続されている。そして、前記第2のIGBT駆動制御信号入力LINに応じて前記高耐圧用のNチャネルMOSトランジスタ21のゲートを前記ローサイド出力IGBT20と同相で駆動するMOSトランジスタ駆動回路22が設けられている。

【0041】図1に示した高耐圧パワー集積回路において、高耐圧用のNチャネルMOSトランジスタのドレイン電流ID 対ドレイン・ソース間電圧VDS特性は、例えば図5に示すように、ドレイン電流が飽和した状態におけるドレイン・ソース間オン電圧VDSonがほぼ0Vである。

【0042】従って、図1に示した高耐圧パワー集積回路の通常動作時において、前記ハイサイド出力IGBT10がオン状態でローサイド出力IGBT20がオフ状態の期間は、ハイサイド出力IGBT10から中点端子14に流出する電流が外部負荷を駆動し、中点端子14の電圧（出力電圧OUT）はほぼ高電源電圧VBBである。

【0043】これに対して、前記ローサイド出力IGBT20がオン状態でハイサイド出力IGBT10がオフ状態の期間は、外部負荷側から中点端子14に電流が流入し、中点端子14の電圧（出力電圧OUT）はほぼ0V（高耐圧用のNチャネルMOSトランジスタ21のドレイン・ソース間オン電圧）である。

【0044】また、図1に示した高耐圧パワー集積回路の起動時に、昇圧回路19のブートストラップ用のコンデンサCに充電される電圧VBSは、制御回路系の電源電圧をVCC、昇圧回路19のブートストラップ用のダイオードDの順方向電圧降下をVF、高耐圧用のNチャネルMOSトランジスタ21のドレイン・ソース間オン電圧をVDSonで表わすと、

$$\dots (2)$$

低減できる。換言すれば、制御回路系の電源電圧VCCが低下した場合でも、高耐圧パワー集積回路の起動時にハイサイド駆動回路15がハイサイド出力IGBT10をオン駆動する時にハイサイド出力IGBT10のゲートを駆動する電圧レベルの低下量を低減できる。

【0048】従って、高耐圧パワー集積回路の起動時にブートストラップ用のコンデンサCの充電電圧VBSがVCCよりも低下する損失分に起因するハイサイド出力IGBT10の起動動作が不安定になったり、起動不能になることを防止することができる。

【0049】なお、通常は、前記ハイサイド出力IGBT10側には、前記ハイサイド出力IGBT10の過電流を検出して過電流検出信号を出力し、上記過電流検出信号をハイサイド駆動回路15に伝達することにより、ハイサイド出力IGBT10をオフ状態に制御し、その破壊を防止する（ハイサイド出力IGBT10を保護する）

過電流制限回路が設けられている。

【0050】また、上記過電流制限回路は、必要に応じて、過電流検出信号をローサイド駆動回路16に伝達することにより、ローサイド出力IGBT20をオフ状態に制御し、その破壊を防止する。

【0051】<第1実施例の変形例>前述した図1において、MOSトランジスタ駆動回路22は、第2のIGBT駆動制御信号入力LINに応じて高耐圧用のNチャネルMOSトランジスタ21をローサイド出力IGBT20と同相で駆動するものであり、例えば高耐圧用のNチャネルMOSトランジスタ21とローサイド出力IGBT20を同じタイミングで駆動してもよいが、ローサイド出力IGBT20の立上りに要する立上がり変移時間 t_r 中に高耐圧用のNチャネルMOSトランジスタ21のドレイン・ソース間に高電圧が印加されることを避けるため、図2に示すように変形実施することが望ましい。

【0052】即ち、第1実施例の変形例では、第1実施例と比べて、図2に示すように、高耐圧用のNチャネルMOSトランジスタ21がオンになるタイミングをローサイド出力IGBT20がオンになるタイミングよりも少なくとも前記 t_r だけ遅延させるようにMOSトランジスタ駆動回路22に立上がり遅延特性を持たせている。

【0053】これにより、高耐圧パワー集積回路の起動時にローサイド出力IGBT20がオンになる時には、ローサイド出力IGBT20のコレクタ・エミッタ間に高電圧が印加されて電流が集中し、高耐圧用のNチャネルMOSトランジスタ21のドレイン・ソース間に電流が集中することはない。

【0054】図3は、本発明の第2の実施の形態に係る高耐圧パワー集積回路の一部（出力駆動回路）のブロック構成および集積回路外部との接続関係を示している。前述した図1において、ハイサイド出力IGBT10がオン状態からオフ状態に変化した時に接地電位GNDから流れる回生電流が高耐圧用のNチャネルMOSトランジスタ21に流れてこのNチャネルMOSトランジスタ21を破壊するおそれを避けるため、以下に述べるように実施することが望ましい。

【0055】<第2実施例>図3に示す第2実施例では、図1に示した第1実施例と比べて、前記高耐圧用のNチャネルMOSトランジスタ21のソースと接地端子との間に、前記高耐圧用のNチャネルMOSトランジスタ21より低い耐圧を有する低耐圧用のNチャネルMOSトランジスタ23のドレイン・ソース間が挿入接続され、そのドレイン・基板領域相互が接続されており、そのゲートが前記第2の駆動制御信号入力LINに基づいて前記第2の出力スイッチ素子20と同相で駆動される点が異なり、その他は同じであるので図1中と同一符号を付している。

【0056】第2実施例によれば、ハイサイド出力IGBT10がオン状態からオフ状態に変化した時に接地電位GNDから流れる回生電流に対して、低耐圧用のNチャネルMOSトランジスタ23の基板領域・ソース間部に寄生するPN接合ダイオードが逆方向素子として作用し、前記回生電流が低耐圧用のNチャネルMOSトランジスタ23および高耐圧用のNチャネルMOSトランジスタ21に流れることを防止するので、それらの破壊を防止することができる。

【0057】なお、低耐圧素子は高耐圧素子と比較してパターン面積がかなり小さいので、低耐圧用のNチャネルMOSトランジスタ23を付加することに伴うチップサイズの増大やチップコストの上昇は殆んど生じない。

【0058】<第2実施例の変形例>前述した図3において、MOSトランジスタ駆動回路22は、第2のIGBT駆動制御信号入力LINに応じて高耐圧用のNチャネルMOSトランジスタ21および低耐圧用のNチャネルMOSトランジスタ23をローサイド出力IGBT20と同相で、かつ、同じタイミングで駆動する例を示しているが、ローサイド出力IGBT20の立上りに要する立上がり変移時間 t_r 中に高耐圧用のNチャネルMOSトランジスタ21あるいは低耐圧用のNチャネルMOSトランジスタ23のドレイン・ソース間に高電圧が印加されることを避けるため、図4に示すように変形実施することが望ましい。

【0059】即ち、第2実施例の変形例では、第2実施例と比べて、図4に示すように、高耐圧用のNチャネルMOSトランジスタ21および低耐圧用のNチャネルMOSトランジスタ23がオンになるタイミングをローサイド出力IGBT20がオンになるタイミングよりも少なくとも前記 t_r だけ遅延させるようにMOSトランジスタ駆動回路22に立上がり遅延特性を持たせている。

【0060】これにより、高耐圧パワー集積回路の起動時にローサイド出力IGBT20がオンになる時には、ローサイド出力IGBT20のコレクタ・エミッタ間に高電圧が印加されて電流が集中し、高耐圧用のNチャネルMOSトランジスタ21および低耐圧用のNチャネルMOSトランジスタ23に電流が集中することはない。

【0061】

【発明の効果】上述したように本発明によれば、起動時におけるブートストラップ用のコンデンサの充電電圧VBSが制御回路系の電源電圧VCCよりも低下する損失分を低減でき、VCCが低下した場合でもブートストラップ用のコンデンサの充電電圧VBSがVCCよりも低下する損失分に起因するハイサイド出力IGBTの起動動作が不安定になったり、起動不能になることを防止し得る高耐圧パワー集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の高耐圧パワー集積回路の第1の実施の形態における出力駆動回路を示す構成説明図。

【図2】図1中のMOSトランジスタ駆動回路によるMOSトランジスタ遅延駆動信号波形の一例を示すタイミング図。

【図3】本発明の高耐圧パワー集積回路の第2の実施の形態における出力駆動回路を示す構成説明図。

【図4】図3中のMOSトランジスタ駆動回路によるMOSトランジスタ遅延駆動信号波形の一例を示すタイミング図。

【図5】MOSトランジスタの電圧・電流特性の一例を示す特性図。

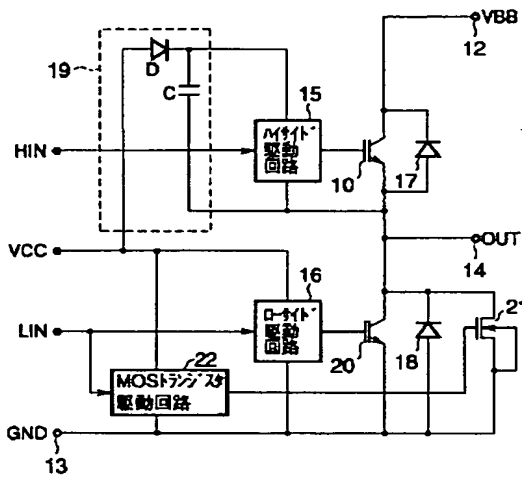
【図6】IGBTの電圧・電流特性の一例を示す特性図。

【図7】従来の高耐圧パワー集積回路の出力駆動回路を示す構成説明図。

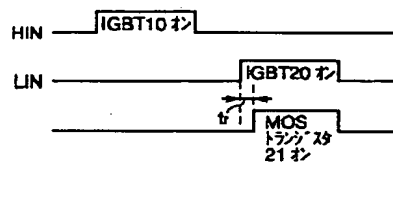
【符号の説明】

- 10…ハイサイドIGBT、
- 12…高電源端子、
- 13…接地端子、
- 14…ICの midpoint 端子、
- 15…ハイサイド駆動回路、
- 16…ローサイド駆動回路、
- 17、18…ダイオード、
- 19…昇圧回路、
- 20…ローサイドIGBT。

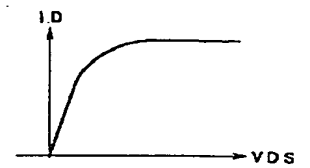
【図1】



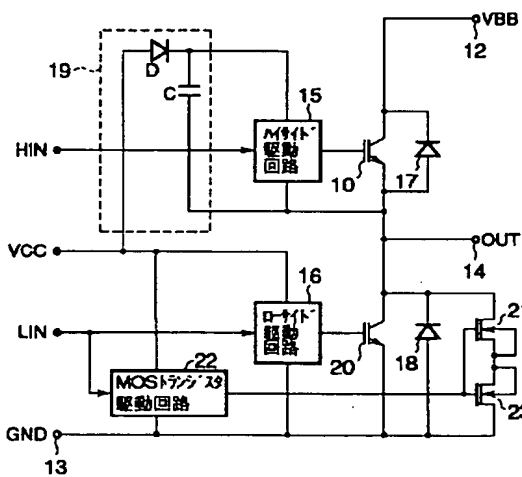
【図2】



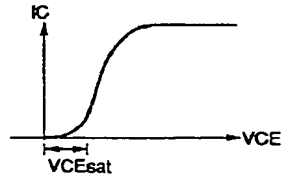
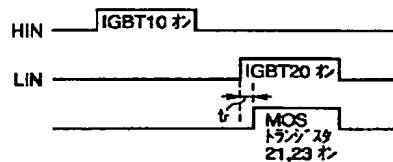
【図5】



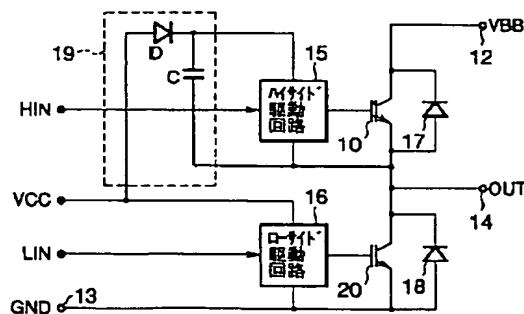
【図3】



【図4】



【図7】



THIS PAGE BLANK (USPTO)